

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP9129856
Publication date: 1997-05-16
Inventor(s): FUJISAWA HIROKI;; MIMURA AKIMITSU
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP9129856
Application Number: JP19950279533 19951027
Priority Number(s):
IPC Classification: H01L27/12; H01L27/04; H01L21/822; H01L21/8234; H01L27/088
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve endurance of the protective circuit of an SOI semiconductor device, by constituting the protective circuit by using an element formed in a region in the state of a single crystal substrate as it is, wherein a buried insulating layer is not formed.

SOLUTION: A substrate electric conduction region is defined plane-wise by a field insulating film 3 composed of silicon oxide. A clamp MOSFET constituting a protective circuit consists of an N-type drain region 4 and a source region 5 which are formed on the main surface, and a gate electrode 7 which is formed on the main surface via a gate insulating film 6. When an excessive current flows in an input terminal IN, the clamp MOSFET turns on. When the excessive current flows in the drain region 4 electrically connected with the input terminal IN, a current path is formed in the source region 5, and at the same time, a current path is formed from the drain region 4 to the substrate ground. Thereby the overcurrent is made to escape to the substrate ground, and prevented from flowing into an input circuit, so that breakdown of the circuit is prevented.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-129856

(43) 公開日 平成9年(1997)5月16日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12			H 0 1 L 27/12	K
27/04			27/04	H
21/822			27/08	1 0 2 F
21/8234				
27/088				

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平7-279533

(22) 出願日 平成7年(1995)10月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 藤沢 宏樹

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 三村 晃満

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 半導体装置及びその製造方法

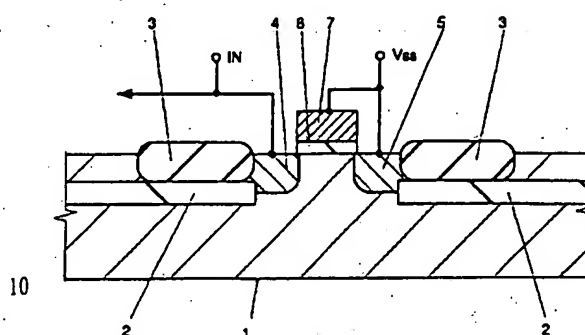
(57) 【要約】

【課題】 S O I 型の半導体装置の保護回路の耐性を向上させることが可能な技術を提供する。

【解決手段】 半導体基板内に設けた埋込絶縁層によって、素子の形成される半導体基板の主面が半導体基板裏面と絶縁された S O I 型の半導体装置において、前記埋込絶縁層を形成せずに単結晶の基板状態のままの領域を部分的に設け、この領域に形成した素子によって入力端子に加わる過大電流から入力回路を保護する保護回路を構成する。

【効果】 S O I 型の半導体装置にても過大電流を半導体基板に放出することが可能となり、静電破壊耐性が向上する。

図 1



1

【特許請求の範囲】

【請求項1】 半導体基板内に形成した埋込絶縁層によって、素子の形成される主面部分を絶縁分離したSOI型半導体装置において、前記半導体基板に埋込絶縁層を形成しない領域を設け、この領域に形成した素子によって保護回路を構成することを特徴とする半導体装置。

【請求項2】 前記保護回路が過大電流に対する電流保護回路であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記過大電流を半導体基板裏面の略全面が導通した接地電位に直接導通することを特徴とする請求項2に記載の半導体装置。

【請求項4】 半導体基板内に形成した埋込絶縁層によって、素子の形成される主面部分を絶縁分離したSOI型半導体装置の製造方法において、前記埋込絶縁層を部分的に形成する工程と、前記埋込絶縁層が設けられていない領域に過大電流に対する電流保護回路を構成する素子を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板内に形成した埋込絶縁層によって、素子の形成される主面部分を絶縁分離したSOI型半導体装置の製造方法において、前記埋込絶縁層を全面に形成した半導体基板を用い、前記半導体基板の部分的に半導体基板主面及び埋込絶縁層を除去する工程と、前記除去を行なった領域に過大電流に対する電流保護回路を構成する素子を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、SOI (Silicon On Insulator) 型の半導体装置に関し、特に、SOI型の半導体装置の過大電流による素子破壊の防止に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体装置の製造に用いられる半導体基板では、主に強度上の点から基板の厚さが決定されるが、実際に素子が形成されるのは基板表面の一部に過ぎず、残りの部分はリーク電流、浮遊容量などの問題を引き起こすことがある。そこで、絶縁体の表面に半導体基板の素子形成に必要な部分を形成した基板を用いたSOI型の半導体装置が考えられている。

【0003】 この技術は接合容量の減少或いは動作の高速性などを目的とし、絶縁体上に形成された単結晶シリコンを用い高速トランジスタを形成するものであり、SOI型の半導体装置については、ソリッドステートテクノロジー (solid state technology) 1991年1月号第26頁乃至第32頁に記載されている。

【0004】 このようなSOI型の半導体装置に用いられる基板には、単結晶シリコン基板中に、イオン打込みによって酸素イオン等を注入して埋込絶縁層を形成した

2

SIMOX (Separation by Implanted Oxygen) 基板、表面に絶縁層を形成した単結晶シリコン基板と薄い単結晶シリコン基板とを貼り合わせ前記絶縁層を埋込んだ貼り合わせ基板等が用いられている。

【0005】 また、一般に半導体装置には、組立プロセス或いは製品使用時に、人為的な取り扱いによって、或いは、パッケージもしくはデバイスの帯電によって過大な静電気が、外部端子から回路にサージ電流となって流れ込むことがある。このようなサージ電流が流れると、過大な電流によって回路を構成する素子が破壊されてしまう。そのため、サージ電流による素子破壊を防止するために、通常は、回路に保護回路が設けられている。

【0006】 このような保護回路は、外部端子と回路との間に設けられ、外部端子と接地電位との間にダイオードを設けることによって、サージ電圧を接地電位に逃がすもの等がある。

【0007】 また従来の保護回路では、半導体基板裏面の略全面を導通させた接地電位（以下、基板接地という）に過大電流を直接逃がすことによって対処し、回路への過大電流の流入を回避する方法がとられている。

【0008】

【発明が解決しようとする課題】 しかし、このような保護回路をSOI型の半導体装置に適用した場合には、基板内に絶縁層が埋め込まれ、素子の形成される部分と前記基板接地とが絶縁されているために、前述のような過大電流を基板接地に逃がす方法をとることが不可能であり、主面上に形成した配線によって接地させている。このために、SOI型の半導体装置では過大電流に対する保護回路の耐性が、通常の半導体基板を用いたものと比較して、低いものとなっている。

【0009】 本発明の目的は、このような問題を解決するためになされたものであり、SOI型の半導体装置の保護回路の耐性を向上させることが可能な技術を提供することにある。

【0010】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0011】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】 半導体基板内に設けた埋込絶縁層によって、素子の形成される半導体基板の主面が半導体基板裏面と絶縁されたSOI型の半導体装置において、前記埋込絶縁層を形成せずに単結晶の基板状態のままの領域を部分的に設け、この領域に形成した素子によって入力端子に加わる過大電流から入力回路を保護する保護回路を構成する。

【0013】 従って、SOI型の半導体装置にても過大電流を半導体基板に放出することが可能となり、静電破

3

壊耐性が向上する。

【0014】以下、本発明の実施の形態を説明する。

【0015】なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0016】

【発明の実施の形態】

（実施の形態1）図1に示すのは、本発明の一実施の形態である半導体装置の要部を示す縦断面図である。

【0017】図中、1はSIMOX型の半導体基板であり、単結晶シリコンからなるP型の半導体基板1内は酸素イオンの打込みによって形成した酸化珪素からなる埋込絶縁層2によって、素子の形成される半導体基板1の主面が半導体基板1裏面と絶縁された領域（以下、基板絶縁領域という）を形成する。通常、SOI型の半導体装置ではこの埋込絶縁層2が半導体基板1の全面に形成され、半導体基板1全面が基板絶縁領域となっているが、本発明ではこの埋込絶縁層2を形成せずに単結晶の基板状態のままの領域（以下、基板導通領域という）を部分的に設け、この基板導通領域に形成した素子によって入力端子に加わる過大電流から入力回路を保護する保護回路を構成している。

【0018】また、前記基板導通領域は酸化珪素からなるフィールド絶縁膜3によって平面的に規定され、前記基板絶縁領域とは電気的に絶縁されている。この基板導通領域にクランプMOSFETを形成し、このクランプMOSFETが前記保護回路を構成する。クランプMOSFETは主面に形成されたN型のドレイン領域4、ソース領域5及び主面上にゲート絶縁膜6を介して形成されたゲート電極7から構成されている。このクランプMOSFETは、配線層（略示する）によってドレイン領域4が入力端子INに接続され、ソース領域5が接地電位Vssに接続され、ゲート電極7は動作を安定させるためにソース領域5と接続され接地されており、一種のダイオードとして作用する。

【0019】このような電流保護回路の動作を説明すると、規定範囲内の電流が入力端子INに流入した場合には、クランプMOSFETは非導通となり加えられた電流は図中矢印で示すように流れて所定の回路（図示せず）に流入する。しかし、入力端子INに過大電流が流入した場合には、クランプMOSFETが導通し、入力端子INと導通したドレイン領域4に過大電流が流入する。これによってドレイン領域4からソース領域5に電流パスが形成されるとともに、ドレイン領域4から基板接地への電流パスが形成される。このようにして過大電流を基板接地に逃がすことによって入力回路への過大電流の流入を防止し、これによって回路の破壊を防止する。

【0020】次に、図1に示す半導体装置の製造方法を図2乃至図4を用いて説明する。

4

【0021】単結晶シリコンからなる半導体基板1の表面に塗布したホトリソグロフィによってパターンニングして、基板導通領域にレジストマスク8を形成する。このレジストマスク8を用いて部分的に酸素イオンのイオン打ち込みを行ない、1300℃程度の熱処理を行なって部分的に埋込絶縁層2を形成したSIMOX型の半導体基板1を形成する。この状態を図2に示す。

【0022】次に、レジストマスク8を除去し、選択酸化（LOCOS）法によって半導体基板1主面の珪素を酸化させ酸化珪素からなるフィールド絶縁膜3を形成する。この状態を図3に示す。

【0023】次に、熱酸化によって半導体基板1表面のシリコンを酸化した酸化珪素からなるゲート絶縁膜6を全面に形成し、続いて多結晶シリコン膜をCVD法によって堆積させ、ホトリソグロフィ及びエッチングによってパターンニングしてゲート電極7を形成する。この状態を図4に示す。

【0024】次に、このゲート電極7及びフィールド絶縁膜3をマスクとしてN型の不純物例えばヒ素をイオン打込みしてドレイン領域4及びソース領域5を形成する。この後、層間絶縁膜（図示せず）を堆積させ、フォトリソグロフィ技術とドライエッチング技術で配線の開口を形成し、配線層となる金属膜を堆積させ、フォトリソグロフィ技術とドライエッチング技術でパターンニングして所定の配線を形成し、図1に示す状態となる。

【0025】保護回路としては前記のクランプMOSFETを用いたものの他に種々の構成が可能である。例えば、図5に示すように基板導通領域にラテラルバイポーラトランジスタを形成し、このラテラルバイポーラトランジスタによって前記保護回路を構成することも可能である。ラテラルバイポーラトランジスタは基板導通領域の主面に絶縁層9を介して形成されたN型のエミッタ領域10、コレクタ領域11及びP型半導体基板1のベース領域から構成されている。このバイポーラトランジスタは、配線層（略示する）によってエミッタ領域10が入力端子INに接続され、コレクタ領域11が接地電位Vssに接続され、ベース領域となる半導体基板1が基板接地されている。

【0026】また、図6に示すように基板導通領域にサイリスタを形成し、このサイリスタによって前記保護回路を構成することも可能である。サイリスタはゲート領域となるP型半導体基板1、基板導通領域の主面に設けたN型のウェル12内に隣接して設けたP型のアノード領域13及び特性の調整或いはクランプ電圧の設定等のためのN+型領域14、基板導通領域の主面に設けたN型のカソード領域15によって構成されている。なお、16はフィールド絶縁膜3と同時に形成する絶縁層である。

【0027】このサイリスタは、配線層（略示する）に

50

5

よってアノード領域が入力端子INに接続され、カソード領域が接地電位 V_{ss} に接続され、ゲート領域となる半導体基板1が基板接地されている。

【0028】保護回路を構成する素子として、クランプMOSFETを用いた場合には、導通がサーフェスブレイクダウンによるものであり、クランプ電圧が比較的
10 低く、素子破壊の要因としてアバランシェ電流によるゲート酸化膜の劣化が考えられるので電流耐性が比較的低くなる。また、バイポーラトランジスタを用いた場合には、導通が接合ブレイクダウンによるものであり、ク
ランプ電圧が比較的高く、素子破壊の要因として接合の熱破壊が考えられ電流耐性がMOSFETの場合よりも高
くなる。従って、MOSFETは比較的低い電圧から保護回路を作動させることが容易であり電圧クランプに用
15 いるのに適しており、バイポーラトランジスタは電流耐性が高いので電流緩和に用いるのに適している。

【0029】また、保護回路を構成する素子として、サイリスタを用いた場合には、導通が接合ブレイクダウン
によるものであり、クランプ電圧が比較的高く、素子破壊の要因として接合の熱破壊が考えられ電流耐性がバイ
20 ポーラトランジスタの場合よりも高くなるという特徴がある。

【0030】図7は過大電流に対する保護回路の例を示す回路図である。この回路では入力端子INと入力回路
との間にバイポーラトランジスタ Tr_1 とMOSFET・ Tr_2 とを保護素子として設けてある。 R_1 及び R_2
は入力端子INと入力回路との間に直列に設けられた抵抗であり、抵抗 R_1 と抵抗 R_2 との間にバイポーラト
ランジスタ Tr_1 のエミッタが接続され、コレクタは接地されている。また、抵抗 R_2 と入力回路との間にMOS
30 FET・ Tr_2 のドレインが接続され、ゲート及びソースは接地されている。この保護回路では、まずバイポー
ラトランジスタ Tr_1 にて電流緩和を行ない、次にMOSFET・ Tr_2 にて電圧クランプを行なう構成となっ
ている。

【0031】なお、前述した実施の形態では半導体基板1にSIMOX型のものを用いたが、部分的に絶縁層を
形成した単結晶シリコン基板と薄い単結晶シリコン基板とを貼り合わせ部分的に埋込絶縁層を設けた貼り合わせ
型の半導体基板を用い、同様の構成とすることも可能で
40 である。

【0032】（実施の形態2）図8に示すのは、本発明の他の実施の形態である半導体装置の要部を示す縦断面
図である。本実施の形態では、前述の場合と異なり貼り合わせ型の半導体基板を用いている。

【0033】図中、1は、表面に熱酸化によって形成した酸化珪素からなる絶縁層を形成したP型の単結晶シリ
コン基板と薄い単結晶シリコン基板とを貼り合わせて前記絶縁層を埋込絶縁層2とした貼り合わせ型の半導体基
板であり、埋込絶縁層2によって、素子の形成される半
50

6

導体基板の主面が半導体基板裏面と絶縁された領域（以下、基板絶縁領域という）を形成する。通常、SOI型の
半導体装置ではこの埋込絶縁層2が半導体基板の全面に形成され、半導体基板全面が基板絶縁領域となってい
るが、本発明ではこの埋込絶縁層2を除去して単結晶の基板状態のままとした領域（以下、基板導通領域とい
う）を部分的に設け、この基板導通領域に形成した素子によって入力端子に加わる過大電流から入力回路を保護
する保護回路を構成している。

【0034】また、基板導通領域は、前記の除去時にその周囲の基板絶縁領域の半導体基板主面を除去すること
によって、基板絶縁領域とは電気的に絶縁されている。この基板導通領域に縦型バイポーラトランジスタを形成
し、この縦型バイポーラトランジスタが前記保護回路を構成する。縦型バイポーラトランジスタはP型半導体基
板1をコレクタ領域とし、N型のベース領域20、P型のエミッタ領域21積層して構成されている。このバイ
ポーラトランジスタは、配線層（略示する）によってエミッタ領域21が入力端子INに接続され、コレクタ領
域である半導体基板1が基板接地され、一種のダイオードとして作用する。

【0035】このような電流保護回路の動作を説明すると、規定範囲内の電流が入力端子INに流入した場合に
は、縦型バイポーラトランジスタは非導通となり加えられた電流は図中矢印で示すように流れて所定の回路（図
示せず）に流入する。しかし、入力端子INに過大電流が流入した場合には、縦型バイポーラトランジスタが導
通し、入力端子INと導通したエミッタ領域21に過大電流が流入する。これによってエミッタ領域21からコ
レクタ領域である半導体基板1の基板接地へ電流パスが形成される。このようにして過大電流を基板接地に逃が
すことによって入力回路への過大電流の流入を防止し、これによって回路の破壊を防止する。

【0036】次に、図8に示す半導体装置の製造方法を図9乃至図11を用いて説明する。

【0037】SOI型の半導体基板1の表面にホトレジストを塗布しホトリソグラフィによってパターンニング
し、レジストマスク22を形成する。このレジストマスク22を用いてエッチングを行ない部分的に埋込絶縁層
2上の半導体基板を除去する。この状態を図9に示す。

【0038】次に、レジストマスク22を除去し、新たにホトレジストを塗布しホトリソグラフィによってパ
ターンニングし、レジストマスク23を形成する。このレジストマスク23を用いてエッチングを行ない部分的に埋
込絶縁層2を除去し半導体基板1単結晶部分を露出させる。この状態を図10に示す。

【0039】次に、気相エピタキシャル法によって埋込絶縁層2を除去した基板導通領域の半導体基板1上に単
結晶シリコンを成長させ、N型の不純物例えばヒ素をイオン打込みしてベース領域20を形成する。この状態を

7

図11に示す。

【0040】次に、P型の不純物例えばホウ素をイオン打込みして、このベース領域20の上にエミッタ領域21を形成し、この後、層間絶縁膜（図示せず）を堆積させ、フォトリソグラフィ技術とドライエッチング技術で配線の開口を形成し、配線層となる金属膜を堆積させ、フォトリソグラフィ技術とドライエッチング技術でパターンニングして所定の配線を形成し、図8に示す状態となる。

【0041】なお、本実施の形態では貼り合わせ型の半導体基板を用いたが全面に埋込絶縁層を設けたSIMOX型の半導体基板を用い、埋込絶縁層を部分的に除去して同様の構成とすることも可能である。

【0042】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0043】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0044】（1）本発明によれば、SOI型の半導体装置にて過大電流を半導体基板に放出することが可能になるという効果がある。

【0045】（2）本発明によれば、上記効果（1）により、静電破壊耐性が向上するという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の要部

を示す縦断面図である。

【図2】本発明の一実施の形態である半導体装置の要部を工程ごとに示す縦断面図である。

【図3】本発明の一実施の形態である半導体装置の要部を工程ごとに示す縦断面図である。

【図4】本発明の一実施の形態である半導体装置の要部を工程ごとに示す縦断面図である。

【図5】本発明の一実施の形態である半導体装置の要部を示す縦断面図である。

【図6】本発明の一実施の形態である半導体装置の要部を示す縦断面図である。

【図7】保護回路の一例を示す回路図である。

【図8】本発明の他の実施の形態である半導体装置の要部を示す縦断面図である。

【図9】本発明の他の実施の形態である半導体装置の要部を工程ごとに示す縦断面図である。

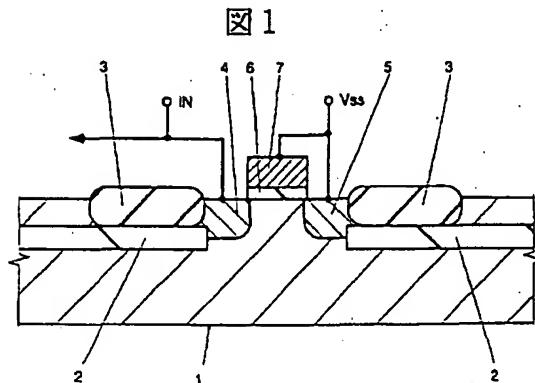
【図10】本発明の他の実施の形態である半導体装置の要部を工程ごとに示す縦断面図である。

【図11】本発明の他の実施の形態である半導体装置の要部を工程ごとに示す縦断面図である。

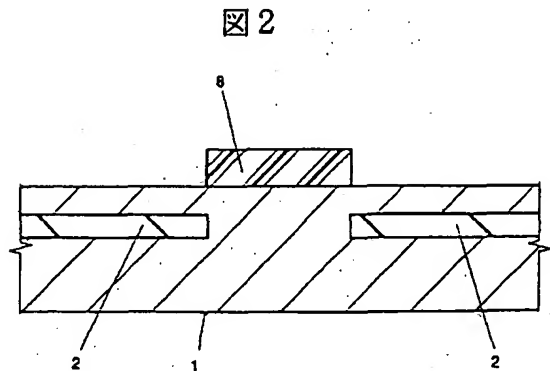
【符号の説明】

1…半導体基板、2…埋込絶縁層、3…フィールド絶縁膜、4…ドレイン領域、5…ソース領域、6…ゲート絶縁膜、7…ゲート電極、8、22、23…レジストマスク、9、16…絶縁層、10、21…エミッタ領域、11…コレクタ領域、12…ウエル、13…アノード領域、14…N+型領域、15…カソード領域、20…ベース領域。

【図1】

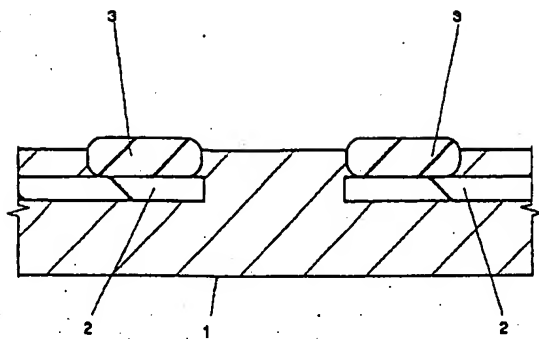


【図2】



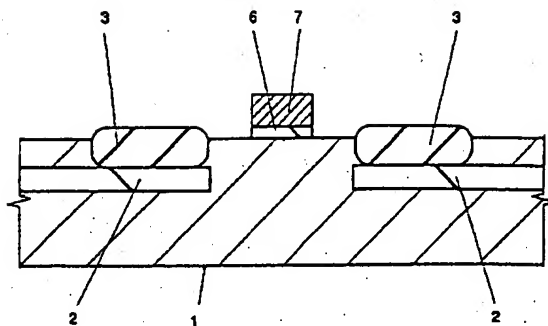
【図3】

図3



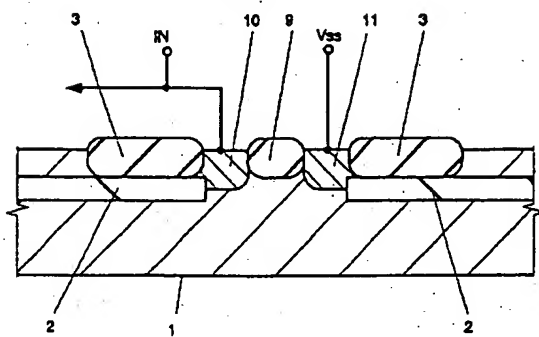
【図4】

図4



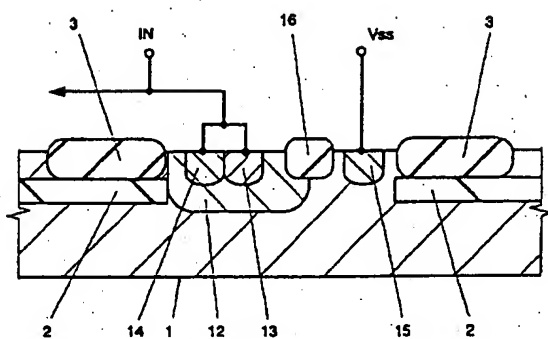
【図5】

図5



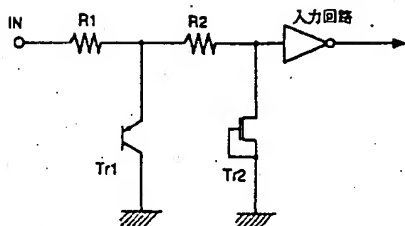
【図6】

図6



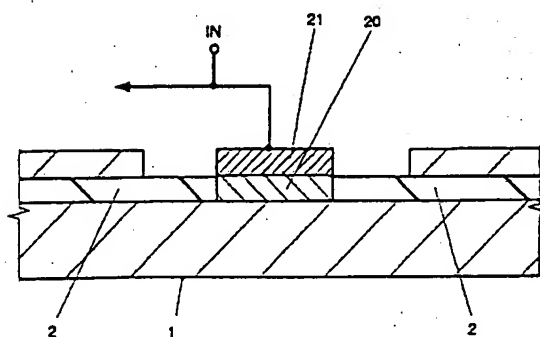
【図7】

図7



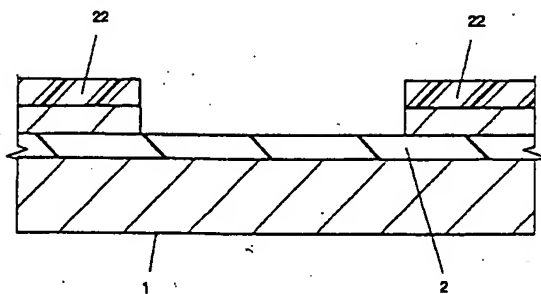
【図8】

図8



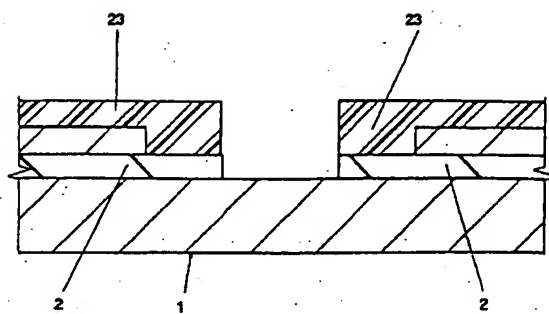
【図9】

図9



【図10】

図10



【図11】

図11

